

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-347520

(43)公開日 平成5年(1993)12月27日

(51)Int.Cl.⁵

H 0 3 G 3/12

識別記号

片内整理番号

A 7350-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-153469

(22)出願日 平成4年(1992)6月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中村 明久

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

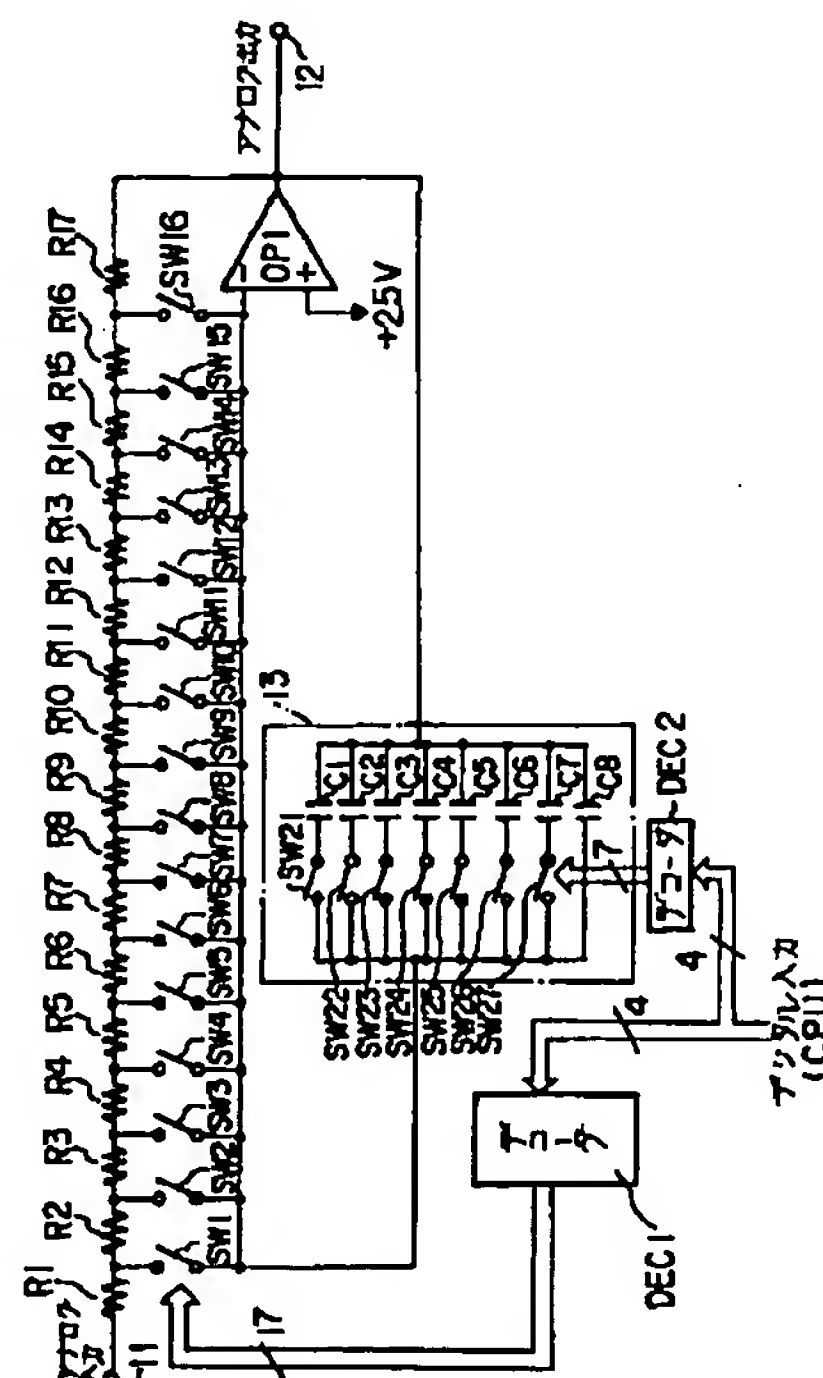
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 増幅率可変アナログ増幅装置

(57)【要約】

【目的】本発明は、ゲインブロックなる増幅率可変アナログ増幅装置において、高精度化、高帯域化を実現できるようにすることを最も主要な特徴とする。

【構成】たとえば、CPUからの4ビットのデジタル信号をデコーダDEC1によってデコードし、これにより抵抗選択用のアナログスイッチSW1～SW16の1つを選択する。また、CPUからの4ビットのデジタル信号を、同時に、デコーダDEC2によってデコードする。そして、帰還容量設定部13の帰還コンデンサ選択用アナログスイッチSW21～SW27を選択することにより、適当な帰還コンデンサの値を決定する構成となっている。



【特許請求の範囲】

【請求項1】 直列に接続された複数の入力抵抗と、この入力抵抗のそれぞれを選択すべく設けられた複数のアナログスイッチと、

このアナログスイッチを制御して前記入力抵抗の1つを選択する選択手段と、

この選択手段で選択された前記入力抵抗に応じて増幅率が可変されるオペアンプとを具備したことを特徴とする増幅率可変アナログ増幅装置。

【請求項2】 直列に接続された複数の入力抵抗と、この入力抵抗のそれぞれを選択すべく設けられた複数のアナログスイッチと、

このアナログスイッチを制御して前記入力抵抗の1つを選択する選択手段と、

この選択手段で選択された前記入力抵抗に応じて増幅率が可変されるオペアンプと、

前記選択手段で選択された前記入力抵抗の増幅率に対する帰還容量を決定する決定手段とを具備したことを特徴とする増幅率可変アナログ増幅装置。

【請求項3】 直列に接続された複数の入力抵抗と、この入力抵抗のそれぞれを選択すべく設けられた複数のアナログスイッチと、

このアナログスイッチを制御して前記入力抵抗の1つを選択する選択手段と、

この選択手段で選択された前記入力抵抗に応じて増幅率が可変されるオペアンプと、

複数の帰還容量を有し、前記選択手段による前記入力抵抗の選択に連動して帰還容量を切り換える切換手段とを具備したことを特徴とする増幅率可変アナログ増幅装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、たとえば光ディスク装置のサーボ制御などに用いて好適なゲインブロックと称される増幅率可変アナログ増幅装置に関する。

【0002】

【従来の技術】従来のゲインブロックは、たとえば図4に示すように、オペアンプ(OP1)の反転入力端子と出力端子との間に抵抗RとスイッチSWとを直列に挿入し、それを変化させたいステップ数(たとえば、16)分だけ用意してプリント基板上に構成するか、または図5に示すように、オペアンプOP1と8ビットの抵抗ラダー型DAコンバータ(DAC)とで構成されていた。

【0003】これら、いずれのゲインブロックも、アナログ信号の入力はアナログ入力端子から、そして、ゲインの切り換えはデジタル入力端子からそれぞれ行うものであった。

【0004】しかしながら、両ゲインブロックとも個別素子であり、たとえば高精度な抵抗を使用したとしても、各素子間を結ぶ配線容量、ボンディングワイヤ部の容量

などがオペアンプの入力容量を増やし、このため高ゲイン精度、高帯域なゲインブロックは実現できない。

【0005】また、後者のゲインブロックをLSI化しようとした場合にも、DAC内には多数のアナログスイッチが存在するため(8ビットDACの場合で256個)、これがオペアンプの入力容量を増やすことになる。たとえ、帰還容量の挿入によってアンプの安定性が取れるとしても、かなり大きな帰還容量が必要となるため、アンプの時定数が大きくなる(フェーズエラーが大きくなる)などの問題があった。

【0006】

【発明が解決しようとする課題】上記したように、従来においては、抵抗の精度のばらつきやスイッチの数の多さなどがオペアンプの入力容量を増す原因となり、応答時間や周波数特性の悪化を招くなど、LSI化しづらいという欠点があった。そこで、この発明は、高精度化、高帯域化を実現でき、特にLSIの低廉化が可能な増幅率可変アナログ増幅装置を提供することを目的としている。

【0007】

【課題を解決するための手段】上記の目的を達成するため、この発明の増幅率可変アナログ増幅装置にあっては、直列に接続された複数の入力抵抗と、この入力抵抗のそれぞれを選択すべく設けられた複数のアナログスイッチと、このアナログスイッチを制御して前記入力抵抗の1つを選択する選択手段と、この選択手段で選択された前記入力抵抗に応じて増幅率が可変されるオペアンプとから構成されている。

【0008】また、この発明の増幅率可変アナログ増幅装置にあっては、直列に接続された複数の入力抵抗と、この入力抵抗のそれぞれを選択すべく設けられた複数のアナログスイッチと、このアナログスイッチを制御して前記入力抵抗の1つを選択する選択手段と、この選択手段で選択された前記入力抵抗に応じて増幅率が可変されるオペアンプと、前記選択手段で選択された前記入力抵抗の増幅率に対する帰還容量を決定する決定手段とから構成されている。

【0009】さらに、この発明の増幅率可変アナログ増幅装置にあっては、直列に接続された複数の入力抵抗と、この入力抵抗のそれぞれを選択すべく設けられた複数のアナログスイッチと、このアナログスイッチを制御して前記入力抵抗の1つを選択する選択手段と、この選択手段で選択された前記入力抵抗に応じて増幅率が可変されるオペアンプと、複数の帰還容量を有し、前記選択手段による前記入力抵抗の選択に連動して帰還容量を切り換える切換手段とから構成されている。

【0010】

【作用】この発明は、上記した手段により、LSI化による各素子間の配線容量やボンディングワイヤ部の容量を低減することができるようになるため、オペアンプの

入力容量の大幅な減少が可能となるものである。

【0011】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1は、本発明にかかるゲインブロックの基本構成を示すものである。

【0012】すなわち、このゲインブロックは、非反転入力端子の電圧が+2.5VとされたオペアンプOP1、このオペアンプOP1の出力端子12とアナログ入力端子11との間に直列に接続された複数（ここでは、17個）のゲイン設定用の抵抗R1～R17、各抵抗R1～R17の接続点と上記オペアンプOP1の反転入力端子との間に並列に接続された抵抗選択用のアナログスイッチSW1～SW16、上記オペアンプOP1の反転入力端子とアナログ出力端子12との間に設けられた帰還容量設定部13、および図示していないCPUからの4ビットのデジタル入力をデコードし、上記の抵抗選択用のアナログスイッチSW1～SW16の1つを選択するデコーダDEC1、並びに、上記の帰還容量設定部13の帰還容量を決定するデコーダDEC2によって構成されている。

【0013】帰還容量設定部13は、たとえば8つの帰還コンデンサC1～C8を並列に接続するとともに、この帰還コンデンサC1～C8のうち、帰還コンデンサC8を除く、7つの帰還コンデンサC1～C7にそれぞれ直列に接続された7つの帰還コンデンサ選択用アナログスイッチSW21～SW27とからなっている。

【0014】しかして、CPUからの4ビットのデジタル信号はデコーダDEC1によってデコードされ、これにより抵抗選択用のアナログスイッチSW1～SW16の1つが選択される。また、CPUからの4ビットのデジタル信号は、同時に、デコーダDEC2によってデコードされ、これにより帰還容量設定部13の帰還コンデンサ選択用アナログスイッチSW21～SW27が選択されて適当な帰還コンデンサの値が決定される。

【0015】なお、本実施例においては、各アナログスイッチSW1～SW17、SW21～SW27をNチャンネルMOSとPチャンネルMOSとで構成し、かつNチャンネルMOSとPチャンネルMOSのゲートをなすポリシリコンゲートのチャンネル幅およびチャンネル長を調整することで、アナログスイッチの性能の改善を図っている。

【0016】このような構成によれば、LSI化する際に、各素子間を結ぶ配線容量およびボンディングワイヤ部の容量の低減が図れるため、オペアンプの入力容量の大幅な減少が可能となり、よって高精度で、しかも高帯域なゲインブロックを実現できる。

【0017】また、オペアンプの入力容量の減少だけでなく、抵抗値の均一化、ゲイン抵抗の共通化などによってLSIのチップ面積を削減できるため、コストダウンも図れる。

【0018】特に、上記した改善を行ってもオペアンプの入力容量をゼロにはできないので、帰還容量の最適化を可変容量とすることで、アンプの安定性の向上、フェーズエラーが大きくなることによる精度の改善を実現するようにしている。図2は、上記したゲインブロックを、光ディスクドライブのフォーカスサーボ系に適用した場合を例に示すものである。

【0019】この系は、ISO（国際標準化機構）で定められた光ディスクの軸方向の規格〔面振れ量 ± 261 以下（回転モータのターンテーブルの精度を含む）；面振れ加速度 $\pm 10\text{m/s}^2$ 以下at30Hz〕に対して、光スポットの焦点をある範囲以内で追従させるものである。

【0020】すなわち、本フォーカスサーボ系は、光ディスク（図示していない）からの反射光より得られるフォーカスエラー信号の振幅を一定化させるためのAGC（オートゲインコントロール）回路21、ループゲインを一定に補正するためのゲインブロック22、5dBuの増幅器23、位相進み補償フィルタ24、定電流ドライブ回路25、光ディスクとの距離を一定に保つべく対物レンズ（図示していない）を光軸方向に駆動するフォーカスアクチュエータ26、および減算器27などからなっている。

【0021】この場合、上記のゲインブロック22、増幅器23、および位相進み補償フィルタ24がLSI化されている。また、便宜上、AGC以前の光電変換やI/V変換などについては省略している。

【0022】しかして、フォーカスエラー信号が供給されると、まず、AGC回路21によってレベルシフトされる。そして、その出力は、あるゲインに固定されたゲインブロック22によって微調整された後、増幅器23で増幅され、さらに、位相進み補償フィルタ24を介して定電流ドライブ回路25に供給される。このドライブ回路25の出力でフォーカスアクチュエータ26が駆動されることにより、対物レンズが光軸方向に移動される。

【0023】ここでは、上記アクチュエータ26の駆動量が減算器27にフィードバックされてフォーカスエラー信号との差が求められることにより、その差が収束する、つまり光ディスク上で光スポットが常時ジャストフォーカスとなるように、出力が一定（固定）となるように働く。図3は、上記したゲインブロックを、光ディスクドライブのラジアル（または、トラッキング）サーボ系に適用した場合を例に示すものである。

【0024】この系は、上記ISOで定められた光ディスクの半径方向の規格〔偏芯 $70\mu\text{mPP}$ 以下（回転モータとディスクの軸ずれを含む）；偏芯加速度 3m/s^2 以下at1800r.p.m〕に対して、光スポットのオフトラック量をある範囲以内で追従させる（トレースモード）、または近接トラック（たとえば、13トラ

ック以内)に光スポットを移動させる(ジャンプモード)、または13トラック以上離れたトラックに図示せぬ光学ヘッドを移動させる(シークモード)、さらには光学ヘッドをホームポジション位置に退避させる(ホームポジションモード)ものである。

【0025】すなわち、本ラジアルサーボ系は、トラックエラー信号の振幅を一定化させるためのAGC回路31、ループゲインが一定となるように補正するためのゲインブロック32、位相進み補償フィルタ33、ハイパスフィルタ34、定電流ドライブ回路35、ガルバノミラー(図示していない)を駆動するガルバノアクチュエータ36、上記位相進み補償フィルタ33の出力が供給されるローパスフィルタ37、上記AGC回路31の出力を補正するためのゲインブロック38、このゲインブロック38の出力が供給される比較器39、トラッククロス信号(TCS)が供給される比較器40、シーク制御回路41、D/Aコンバータ42、このD/Aコンバータ42の出力を補正するためのゲインブロック43、このゲインブロック43の出力または上記ローパスフィルタ37の出力が選択的に入力される定電流ドライブ回路44、光学ヘッドを移動するリニアモータ45、および減算器46などからなっている。

【0026】この場合、上記のゲインブロック32、38、43、位相進み補償フィルタ33、ハイパスフィルタ34、ローパスフィルタ37、シーク制御回路41、およびD/Aコンバータ42がLSI化されている。

【0027】しかして、トレースモードでは、トラックエラー信号が供給されると、まず、AGC回路31によってレベルシフトされる。そして、その出力は、あるゲインに固定されたゲインブロック32によって微調整された後、位相進み補償フィルタ33およびハイパスフィルタ34を介して定電流ドライブ回路35に供給される。このドライブ回路35の出力でガルバノアクチュエータ36が駆動されることにより、ガルバノミラーが光軸と直交する方向に移動される。

【0028】また、位相進み補償フィルタ33の出力がローパスフィルタ37に入力され、さらに定電流ドライブ回路44に供給される。このドライブ回路44の出力でリニアモータ45が駆動されることにより、光学ヘッドが光軸と直交する方向に移動される。

【0029】ここでは、上記したアクチュエータ36およびリニアモータ45の駆動量が減算器46にフィードバックされてトラックエラー信号との差が求められることにより、その差が収束する、つまり光ディスクのトラック上を光スポットが追従するように、出力が一定(固定)となるように働く。

【0030】一方、シークモードでは、トラックエラー

信号が供給されると、まず、AGC回路31によってレベルシフトされる。そして、その出力は、あるゲインに固定されたゲインブロック38によって振幅がノルマライズされ、さらに比較器39で2値化された後、シーク制御回路41に供給される。

【0031】また、トラッククロス信号が比較器40によって2値化され、この2値化信号がシーク制御回路41に供給されることによって速度制御信号が生成される。この速度制御信号は、D/Aコンバータ42、ゲインブロック43および定電流ドライブ回路44を介してリニアモータ45に供給される。これにより、光学ヘッドが光ディスクの半径方向、つまりトラックを横切って目的のトラックに移動される。なお、ホームポジションモードについての説明は、本発明と直接の関係がないので割愛する。

【0032】上記した各サーボ系に用いたゲインブロックは、基本的には入力信号の振幅をノルマライズするためのものであり、得ようとするゲイン値は異なるが、ゲイン幅は同一であり、必要なゲイン幅は適用する光ディスクドライブの特性に応じて製造時にあらかじめ決定されるものである。このような回路構成によれば、高精度で、かつ高速なサーボ動作およびシーク動作が可能な光ディスクドライブを実現できる。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0033】

【発明の効果】以上、詳述したようにこの発明によれば、高精度化、高帯域化を実現でき、特にLSIの低廉化が可能な増幅率可変アナログ増幅装置を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例にかかるゲインブロックの基本構成を示す回路図。

【図2】同じく、光ディスクドライブのフォーカスサーボ系に適用した場合を例に示すブロック図。

【図3】同じく、光ディスクドライブのラジアルサーボ系に適用した場合を例に示すブロック図。

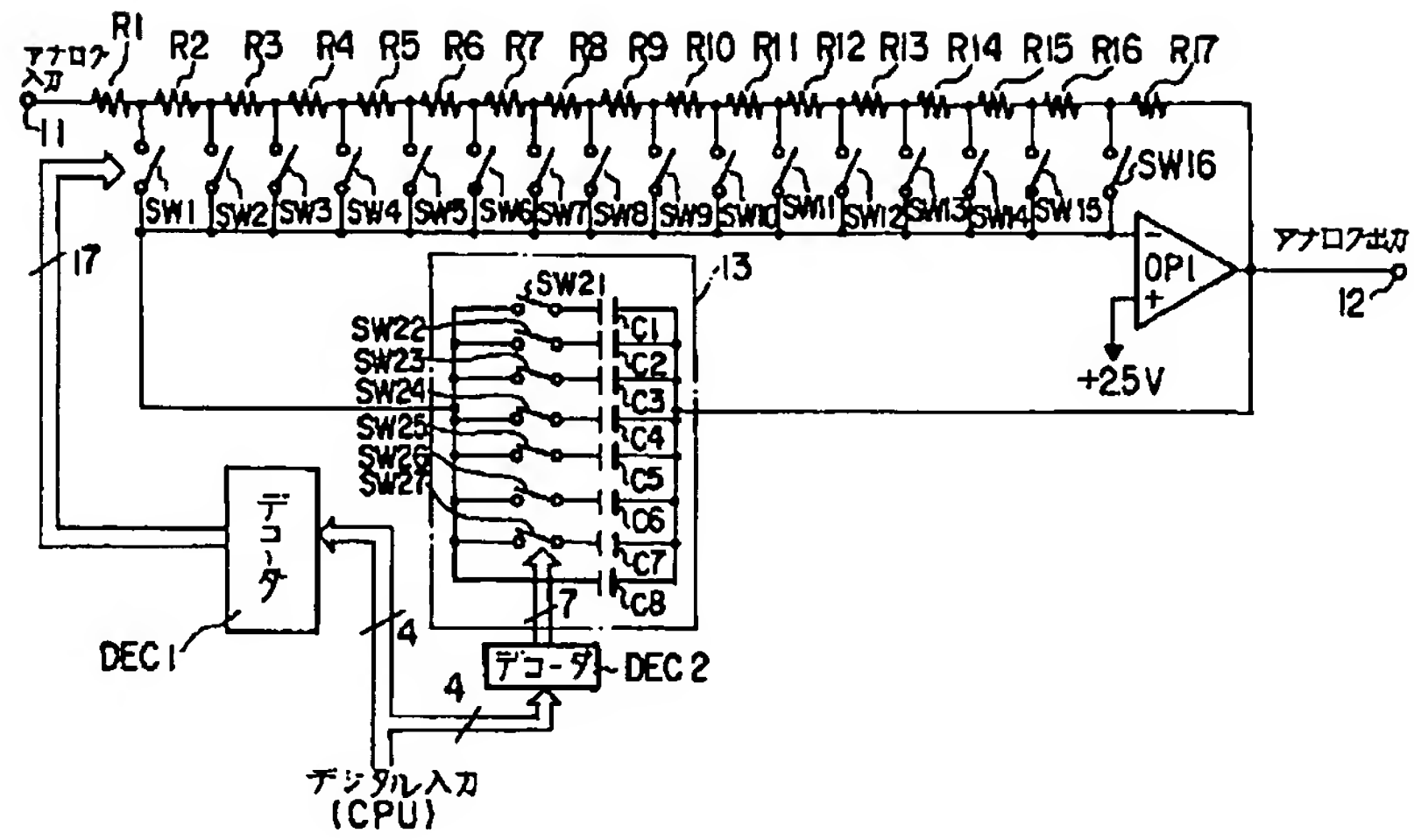
【図4】従来技術とその問題点を説明するために示す、抵抗とスイッチとで構成したゲインブロックの回路図。

【図5】同じく、オペアンプとDACとで構成したゲインブロックの回路図。

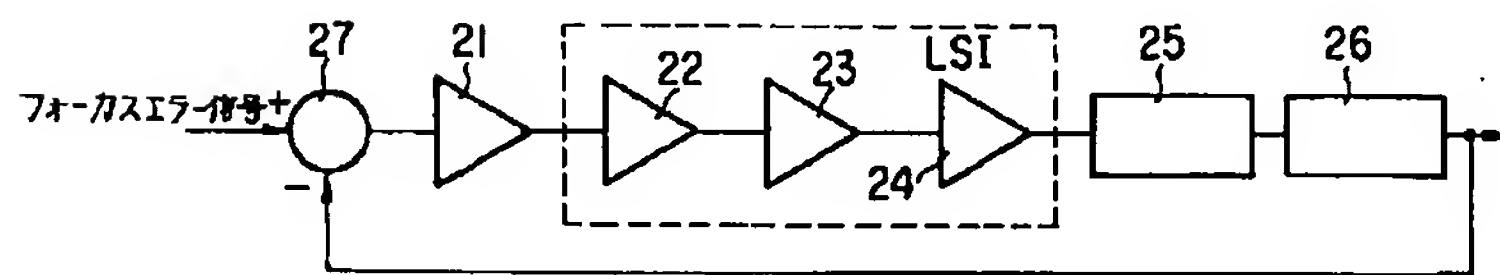
【符号の説明】

11…アナログ入力端子、12…アナログ出力端子、13…帰還容量設定部、OP1…オペアンプ、R1～R17…ゲイン設定用抵抗、SW1～SW16…抵抗選択用アナログスイッチ、DEC1、DEC2…デコーダ、C1～C8…帰還コンデンサ、SW21～SW27…帰還コンデンサ選択用アナログスイッチ。

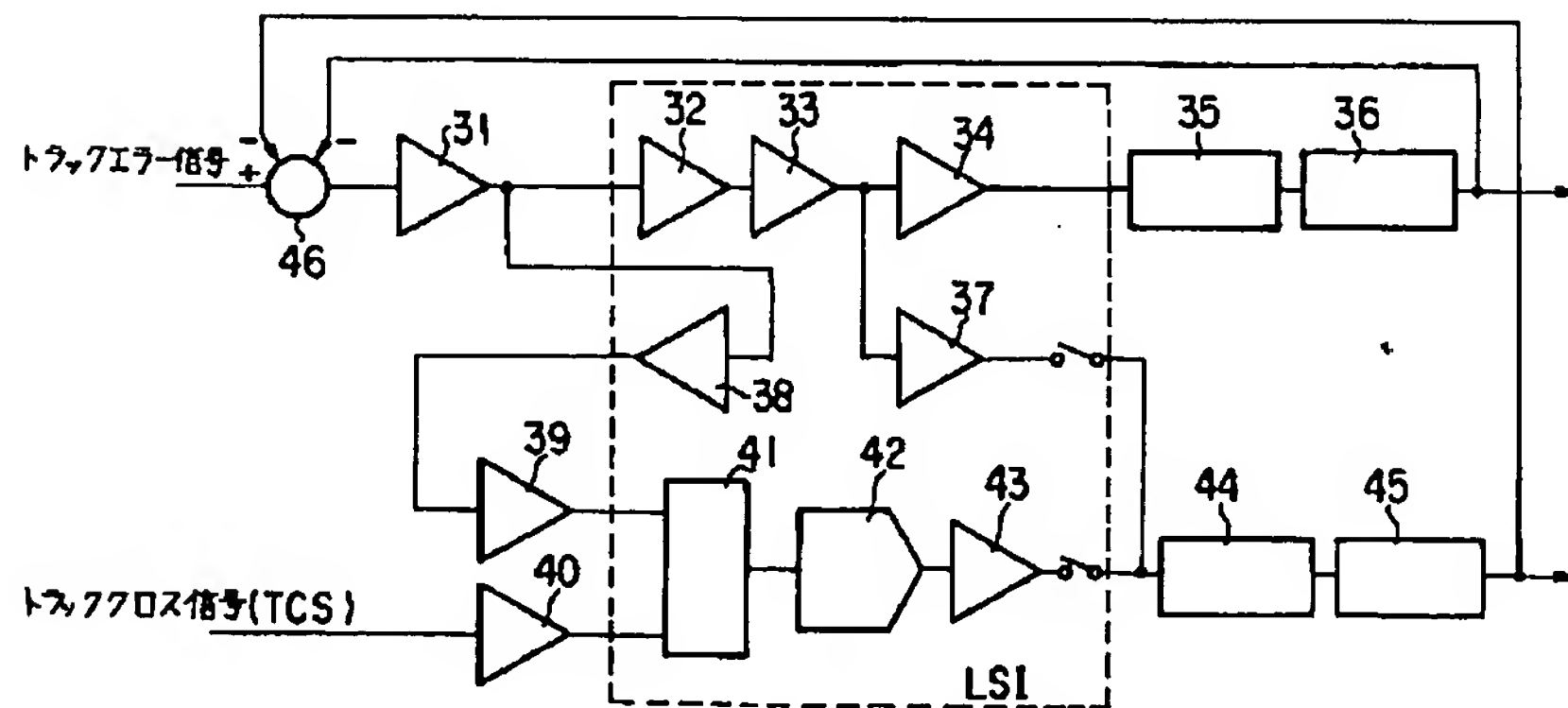
【図1】



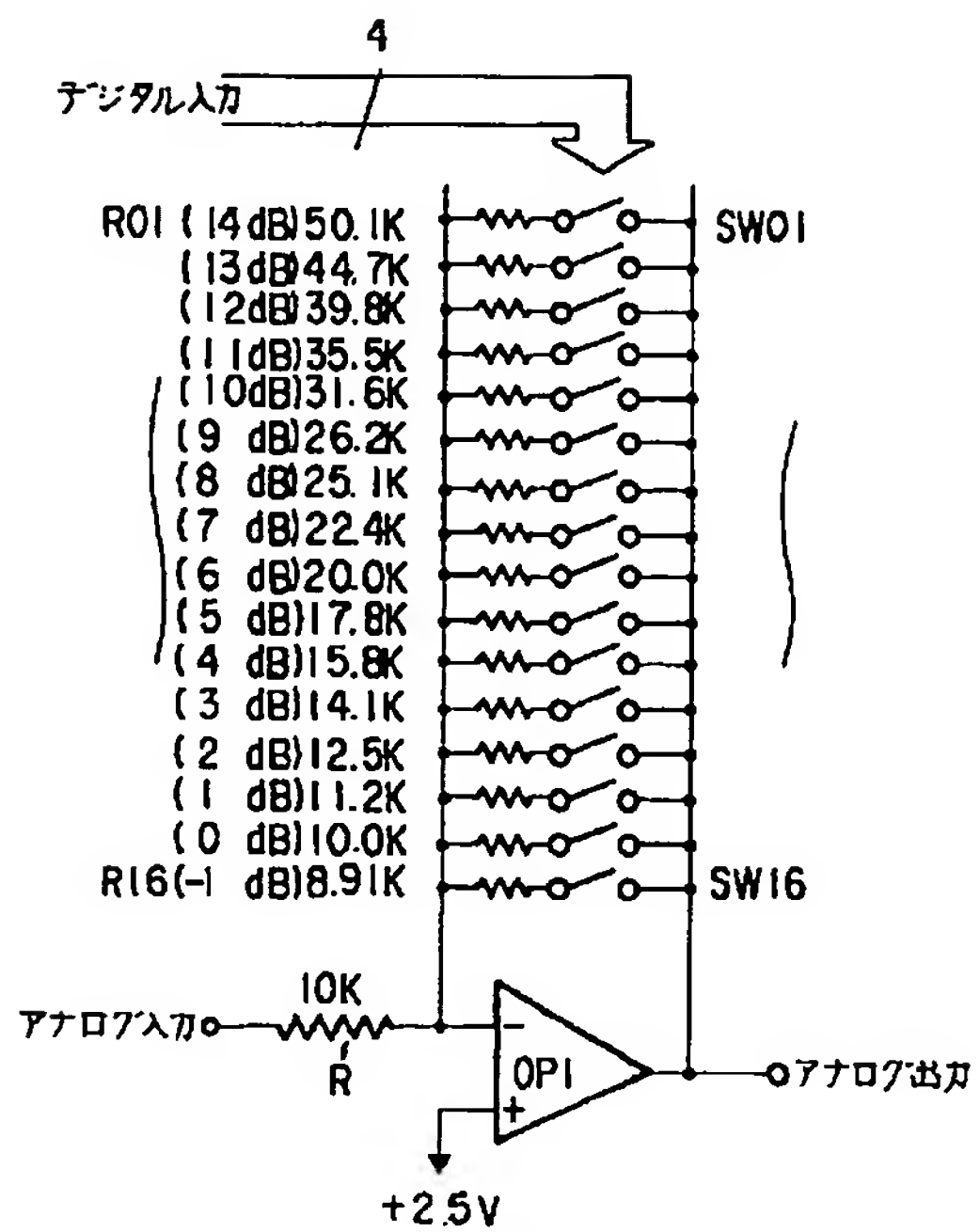
【図2】



【図3】



【図4】



【図5】

